

Docket No.: 60188-742

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277  
Norihiko SUMITANI, et al. : Confirmation Number:  
Serial No.: : Group Art Unit:  
Filed: January 08, 2004 : Examiner:  
For: SEMICONDUCTOR MEMORY DEVICE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-004036, filed January 10, 2003**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prg  
Facsimile: (202) 756-8087  
**Date: January 8, 2004**

60188-742  
Sumitani et al.  
January 8, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 1 月 1 0 日

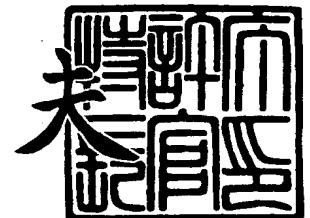
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 0 0 4 0 3 6  
[ST. 10/C]: [ J P 2 0 0 3 - 0 0 4 0 3 6 ]

出 願 人  
Applicant(s): 松 下 電 器 産 業 株 式 会 社

2 0 0 3 年 1 0 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 8 8 8 1

【書類名】 特許願  
【整理番号】 5037740045  
【提出日】 平成15年 1月10日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G11C 11/34  
【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 角谷 範彦

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 法邑 茂夫

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中井 洋次

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 金原 旭成

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 辻村 和樹

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

## 【代理人】

【識別番号】 100077931

## 【弁理士】

【氏名又は名称】 前田 弘

## 【選任した代理人】

【識別番号】 100094134

## 【弁理士】

【氏名又は名称】 小山 廣毅

## 【選任した代理人】

【識別番号】 100110939

## 【弁理士】

【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100110940

## 【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

## 【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

## 【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

## 【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

## 【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

## 【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 6 トランジスタ構成のメモリセルと、当該メモリセルに接続されたワード線及びビット線対とを備えた半導体記憶装置であって、

前記ビット線対を電源電圧までプリチャージするための手段と、

前記ビット線対とは別のダミービット線と、

前記ダミービット線を前記電源電圧よりも低い第 1 の電圧までディスチャージするための手段と、

前記メモリセルの読み出し前における前記ビット線対の電圧を前記電源電圧よりも低い第 2 の電圧に設定するように、前記電源電圧にプリチャージされたビット線対と、前記第 1 の電圧にディスチャージされたダミービット線とをイコライズするための手段とを更に備えたことを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 記載の半導体記憶装置において、

前記ダミービット線は前記ビット線対の間に配置されたことを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 記載の半導体記憶装置において、

前記ダミービット線を 2 つ以上に電氣的に分割するための手段を更に備えたことを特徴とする半導体記憶装置。

【請求項 4】 請求項 3 記載の半導体記憶装置において、

前記ダミービット線の分割数を可変に制御するための手段を更に備えたことを特徴とする半導体記憶装置。

【請求項 5】 請求項 1 記載の半導体記憶装置において、

前記ビット線対の第 2 の電圧を可変に制御するように前記ダミービット線の第 1 の電圧を制御するための手段を更に備えたことを特徴とする半導体記憶装置。

【請求項 6】 請求項 5 記載の半導体記憶装置において、

前記ダミービット線のディスチャージの際に当該ダミービット線の電荷を引き抜くための MOS トランジスタの基板電位を可変に制御するための手段を更に備えたことを特徴とする半導体記憶装置。

【請求項 7】 6 トランジスタ構成のメモリセルと、当該メモリセルに接続されたワード線及びビット線対とを備えた半導体記憶装置であって、

前記ビット線対を電源電圧までプリチャージするための手段と、

前記メモリセルの読み出し前における前記ビット線対の電圧を前記電源電圧よりも低い所定の電圧に設定するように、前記電源電圧にプリチャージされたビット線対を所定の時間だけディスチャージするための手段とを更に備えたことを特徴とする半導体記憶装置。

【請求項 8】 請求項 7 記載の半導体記憶装置において、

前記ビット線対のプリチャージ時間とディスチャージ時間とにそれぞれ当該ビット線対の電圧をイコライズするための手段を更に備えたことを特徴とする半導体記憶装置。

【請求項 9】 請求項 7 記載の半導体記憶装置において、

前記ビット線対のディスチャージ時間を可変に制御するための手段を更に備えたことを特徴とする半導体記憶装置。

【請求項 10】 6 トランジスタ構成のメモリセルと、当該メモリセルに接続されたワード線及びビット線対とを備えた半導体記憶装置であって、

前記メモリセルの読み出し時における前記ワード線の活性化電圧を電源電圧よりも低い所定の電圧に設定するための手段を更に備えたことを特徴とする半導体記憶装置。

【請求項 11】 請求項 10 記載の半導体記憶装置において、

前記ワード線の活性化電圧を可変に制御するための手段を更に備えたことを特徴とする半導体記憶装置。

【請求項 12】 請求項 1～11 のいずれか 1 項に記載の半導体記憶装置において、

前記メモリセルは、第 1 及び第 2 の NMOS アクセストランジスタと、第 1 の NMOS ドライブトランジスタと第 1 の PMOS 負荷トランジスタとをインバータ接続した第 1 のインバータと、第 2 の NMOS ドライブトランジスタと第 2 の PMOS 負荷トランジスタとをインバータ接続した第 2 のインバータとを備えた 6 トランジスタ構成のメモリセルであり、

前記第1のインバータの入力と前記第2のインバータの出力とを接続し、前記第1のインバータの出力と前記第2のインバータの入力とを接続し、

前記第1のインバータの出力と前記第1のNMOSアクセストランジスタのドレインとを接続し、前記第2のインバータの出力と前記第2のNMOSアクセストランジスタのドレインとを接続し、

前記第1のNMOSアクセストランジスタのゲートと前記第2のNMOSアクセストランジスタのゲートとを前記ワード線に共通接続し、

前記第1のNMOSアクセストランジスタのソースを前記ビット線対のうちの一方に接続し、前記第2のNMOSアクセストランジスタのソースを前記ビット線対のうちの他方に接続し、

前記第1のNMOSアクセストランジスタと前記第1のNMOSドライブトランジスタとのドレインを共通にかつゲートを互いに平行に配置し、かつ前記第1のNMOSアクセストランジスタのゲート幅と前記第1のNMOSドライブトランジスタのゲート幅とを等しくし、

前記第2のNMOSアクセストランジスタと前記第2のNMOSドライブトランジスタとのドレインを共通にかつゲートを互いに平行に配置し、かつ前記第2のNMOSアクセストランジスタのゲート幅と前記第2のNMOSドライブトランジスタのゲート幅とを等しくしたことを特徴とする半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特にSRAM (static random access memory) に関するものである。

##### 【0002】

#### 【従来の技術】

近年、半導体プロセスの微細化に伴い、トランジスタ特性ばらつきが増加している。このことは、回路の歩留まりに大きな影響を与えるため、トランジスタ特性のばらつきを抑える設計が今後ますます重要になる。

##### 【0003】



従来、6トランジスタ構成を有するCMOS型のSRAMメモリセルが知られている。これは、1対のNMOSアクセストランジスタと、1対のNMOSドライフトランジスタと、1対のPMOS負荷トランジスタとの、合計3種類（6個）のトランジスタによって構成されるものである。

#### 【0004】

SRAMメモリセルの製造ばらつきを抑えるために、またメモリセル面積を小さくし、ビット線容量も小さくするために、横型セル構造が考案された。これは、1つのメモリセル領域の上半部にNウェルを、下半部にPウェルをそれぞれ有する縦型セル構造とは違って、メモリセル領域の中央に位置するNウェルに1対のPMOS負荷トランジスタを、左側のPウェルに第1のNMOSアクセストランジスタ及び第1のNMOSドライフトランジスタを、右側のPウェルに第2のNMOSアクセストランジスタ及び第2のNMOSドライフトランジスタをそれぞれ配置したものである。ここでは、ビット線の走行方向を縦方向、ワード線の走行方向を横方向とそれぞれ定義している（特許文献1，2参照）。

#### 【0005】

縦型セル構造によれば、アクセストランジスタのゲートとドライフトランジスタのゲートとが互いに垂直になるようにレイアウトされる。これに対して、横型セル構造によれば、アクセストランジスタのゲートとドライフトランジスタのゲートとが互いに平行にレイアウトされるため、製造ばらつきに強くなる。また、縦型セル構造で発生する無駄なスペースが少なくなるため、メモリセルの面積が小さくなるとともに、ビット線長も短くなり容量が小さくなる。

#### 【0006】

さて、メモリセルの安定性指標の1つに読み出し時のスタティックノイズマージンがある。これは、ワード線を活性化したときに、メモリセルの保持しているデータが破壊されないかどうかを表す指標であり、スタティックノイズマージンが大きいほど読み出し時のメモリセルは安定である（特許文献3参照）。

#### 【0007】

従来は、読み出し時のスタティックノイズマージンを大きくするため、メモリセル中のアクセストランジスタよりドライフトランジスタの電流駆動能力を大き

くしていた。具体的には、アクセストランジスタとドライブトランジスタとのゲート幅の比を例えば 1 : 1.5 程度に設定していた。

【0008】

【特許文献 1】

特開平 9-270468 号公報

【特許文献 2】

特開平 10-178110 号公報

【特許文献 3】

特開 2002-042476 号公報

【0009】

【発明が解決しようとする課題】

上記のように SRAM に横型セル構造を採用し、かつアクセストランジスタのゲート幅をドライブトランジスタのゲート幅よりも小さくした場合、アクセストランジスタの拡散層がゲート部分で凹型形状になる。このような SRAM メモリセルを製造する工程において、アクセストランジスタのゲートがトランジスタのチャネル方向にずれた場合、当該アクセストランジスタの実効ゲート幅が大きくなり、その電気特性が大きく変動してしまう。その結果、スタティックノイズマージンが小さくなり、読み出し時に誤動作を起こし、歩留まりを著しく低下させてしまうという問題が発生する。

【0010】

本発明の目的は、アクセストランジスタとドライブトランジスタとのゲート幅が等しい SRAM メモリセルの場合でも安定に動作する半導体記憶装置を提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成するため、本発明に係る第 1 及び第 2 の半導体記憶装置は、6 トランジスタ構成のメモリセルと、このメモリセルに接続されたワード線及びビット線対とを備え、メモリセルの読み出し前におけるビット線対の電圧を電源電圧よりも低い所定の電圧に設定することとしたものである。このようにしてビッ

ト線対の電圧を下げることにより、読み出しのためにワード線を活性化する際、ビット線対は電源電圧よりも低い中間電位となった状態のため、メモリセル中に形成されるハイ（High）側記憶ノードとロー（Low）側記憶ノードとのうちロー側記憶ノードの電圧が低くなる結果、アクセストランジスタとドライブトランジスタとのゲート幅が等しい場合でも、アクセストランジスタの電流駆動能力が見かけの上で下がり、スタティックノイズマージンが大きくなるので、読み出し時の誤動作を防止できる。

#### 【0012】

具体的に説明すると、本発明に係る第1の半導体記憶装置は、ビット線対を電源電圧までプリチャージするための手段と、ビット線対とは別のダミービット線と、このダミービット線を電源電圧よりも低い第1の電圧までディスチャージするための手段と、電源電圧にプリチャージされたビット線対と第1の電圧にディスチャージされたダミービット線とをイコライズするための手段とを備えた構成を採用し、以てメモリセルの読み出し前におけるビット線対の電圧を電源電圧よりも低い第2の電圧に設定することとしたものである。

#### 【0013】

本発明に係る第2の半導体記憶装置は、ビット線対を電源電圧までプリチャージするための手段と、電源電圧にプリチャージされたビット線対を所定の時間だけディスチャージするための手段とを備えた構成を採用し、以てメモリセルの読み出し前におけるビット線対の電圧を電源電圧よりも低い所定の電圧に設定することとしたものである。

#### 【0014】

また、上記目的を達成するため、本発明に係る第3の半導体記憶装置は、6トランジスタ構成のメモリセルと、このメモリセルに接続されたワード線及びビット線対とを備え、メモリセルの読み出し時におけるワード線の活性化電圧を電源電圧よりも低い所定の電圧に設定することとしたものである。このようにしてワード線の電圧を下げることにより、読み出し時のアクセストランジスタのオン抵抗がドライブトランジスタのオン抵抗よりも大きくなるため、ロー側記憶ノードの電圧が低くなる。したがって、アクセストランジスタとドライブトランジスタ

とのゲート幅が等しい場合でもスタティックノイズマージンが大きくなり、読み出し時の誤動作を防止できる。

#### 【0015】

##### 【発明の実施の形態】

以下、本発明の実施の形態に係る半導体記憶装置であるCMOS型のSRAMについて、図面を参照しながら詳細に説明する。

#### 【0016】

##### (第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体記憶装置の構成を示している。図1において、メモリセル10は、1対のNMOSアクセストランジスタ11, 21と、1対のNMOSドライブトランジスタ12, 22と、1対のPMOS負荷トランジスタ13, 23とで構成された、6トランジスタ構成のメモリセルである。30はワード線(WL)、31, 32はビット線対(BL, /BL)、33はダミービット線(DBL)、40はデイスチャージ回路、41はイコライズ回路、42はプリチャージ回路であり、メモリセル10はワード線30とビット線対31, 32とに接続する。デイスチャージ回路40はダミービット線33に接続し、デイスチャージ制御信号DCを入力とする。イコライズ回路41はビット線対31, 32、ダミービット線33に接続し、イコライズ制御信号EQを入力とする。プリチャージ回路42はビット線対31, 32に接続し、プリチャージ制御信号PCを入力とする。

#### 【0017】

プリチャージ回路42は、プリチャージ制御信号PCがLレベル(グラウンド電圧: 0V)のときにビット線対31, 32を電源電圧までプリチャージする。デイスチャージ回路40は、デイスチャージ制御信号DCがLレベルのときにダミービット線33をグラウンド電圧までデイスチャージする。イコライズ回路41は、イコライズ制御信号EQがHレベル(電源電圧)のときにビット線対31, 32とダミービット線33との電圧をイコライズする。

#### 【0018】

図2～図4は、図1中のメモリセル10のレイアウト図であって、図2は下地

を、図3は下地から第1金属配線層までを、図4は第1金属配線層より上層をそれぞれ示している。図2には、メモリセル10の拡散層101、102と、ポリシリコン層103とを示す。図3には、図2の上に形成される第1金属配線層201と、第1ビア202と、グランド203と、電源204とを示す。図4には、第2金属配線層301と、第2ビア302と、第3金属配線層303と、第3ビア304とを示す。第1ビア202は拡散層101、102及びポリシリコン層103と第1金属配線層201とを、第2ビア302は第1金属配線層201と第2金属配線層301とを、第3ビア304は第2金属配線層301と第3金属配線層303とをそれぞれ接続するものである。

#### 【0019】

更に詳細に説明すると、図2において、101、102は拡散層、103はポリシリコン層であり、110はPウェル、111はNウェルである。104、105はアクセストランジスタ（図1中のNMOSアクセストランジスタ11、21に相当する）、106、107はドライブトランジスタ（図1中のNMOSドライブトランジスタ12、22に相当する）、108、109は負荷トランジスタ（図1中のPMOS負荷トランジスタ13、23に相当する）である。ドライブトランジスタ106と負荷トランジスタ108とは第1金属配線層201によりインバータ接続し、同様にドライブトランジスタ107と負荷トランジスタ109とは第1金属配線層201によりインバータ接続する。アクセストランジスタ104のドレインとドライブトランジスタ106のドレインとは拡散層で接続し、アクセストランジスタ105のドレインとドライブトランジスタ107のドレインとは拡散層で接続する。アクセストランジスタ104、105のゲートは、図3、図4に示すように、第1ビア202、第1金属配線層201、第2金属配線層301、第2ビア+第3ビア304により、ワード線30である第3金属配線層303に接続する。アクセストランジスタ104、105のソースは、第1ビア202、第1金属配線層201、第2ビア302によりビット線対31、32である第2金属配線層301に接続する。アクセストランジスタ104とドライブトランジスタ106のゲートは互いに平行に配置し、ゲート幅は等しくして、拡散層に凹凸がない形状に配置する。アクセストランジスタ10

5とドライブトランジスタ107も同様に、ゲートは互いに平行に配置し、ゲート幅は等しくして、拡散層に凹凸がない形状に配置する。

#### 【0020】

図4に示すように、第2金属配線層301により形成されるダミービット線33は、ビット線対31、32の間に配置してある。そのため、ダミービット線33がシールドの役割を果たし、ビット線対31、32間のクロストークをなくすることができる。また、このダミービット線33の配線領域は本来配線が存在する領域ではないことから、面積ペナルティは発生しない。

#### 【0021】

図2～図4のような構成をとることにより、製造工程においてアクセストランジスタ104、105のゲートがトランジスタのチャネル方向にずれた場合でも、これらのアクセストランジスタ104、105の実効ゲート幅が大きくなりないので、読み出し時のスタティックノイズマージンが小さくなることはなく、その電気特性の変動を最小限に抑えることができる。したがって、読み出し時の誤動作による歩留まり低下を防止することができる。

#### 【0022】

図5は、図1の半導体記憶装置の読み出し時におけるプリチャージ制御信号PC、ディスチャージ制御信号DC、イコライズ制御信号EQ、ワード線WL、ビット線対BL、/BL、ダミービット線DBLの各々の電圧波形を示している。Vddは電源電圧である。

#### 【0023】

図5によれば、時刻t1においてプリチャージ制御信号PC及びディスチャージ制御信号DCをLレベルにする。つまり、プリチャージ制御信号PCによりビット線対BL、/BLを電源電圧Vddまでプリチャージし、かつディスチャージ制御信号DCによりダミービット線DBLをグラウンド電圧(0V)までディスチャージする(T1期間)。ビット線対BL、/BLのプリチャージとダミービット線DBLのディスチャージとの完了後に、イコライズ制御信号EQによってビット線対BL、/BLとダミービット線DBLとのイコライズを行う(T2期間)。この動作によってビット線対BL、/BLに存在する電荷がダミービット

線DBLに分配される結果、ビット線対BL、/BLの電圧が電源電圧V<sub>dd</sub>よりも低い電圧に引き下げられる。この際、ビット線対BL、/BL及びダミービット線DBLはトランジスタの製造ばらつきに影響されないので、電源電圧V<sub>dd</sub>とグランド電圧（0V）との間の安定した中間電位を得ることができる。この動作の後に、時刻t<sub>5</sub>でワード線WLが選択されメモリセル10の読み出しが開始される。

#### 【0024】

以上説明してきた第1の実施形態によれば、ダミービット線33を利用してビット線対31、32のプリチャージ電圧を下げることにより、読み出しのためにワード線30を活性化する際、ビット線対31、32は電源電圧V<sub>dd</sub>よりも低い中間電位となった状態のため、メモリセル10中のロー側記憶ノードの電圧が低くなる結果、NMOSアクセストランジスタ11、21とNMOSドライブトランジスタ12、22とのゲート幅が等しい場合でも、NMOSアクセストランジスタ11、21の電流駆動能力が見かけの上で下がり、スタティックノイズマージンが大きくなるので、読み出し時の誤動作を防止できる。

#### 【0025】

しかも、レイアウト面積の増加なしにダミービット線33を配置することができ、複数電源を用いる必要がない点でもレイアウト面積の増加を抑えることができる。また、ダミービット線33がシールドの役割を果たすため、ビット線対31、32間のカップリング容量を削減でき、メモリセル10の読み出しの高速化が図れる。

#### 【0026】

##### （第2の実施形態）

図6は、本発明の第2の実施形態に係る半導体記憶装置の構成を示している。図6の構成は、ダミービット線調整信号DAがHレベルのときにダミービット線（DBL）33を電氣的に2分割するためのトランジスタ43として例えばPMOSTランジスタを備えている点で、第1の実施形態と異なる。その他の点は第1の実施形態と同じである。

#### 【0027】

図7は、図6の半導体記憶装置の読み出し動作を示している。図7によれば、ダミービット線調整信号DAがLレベルであってPMOSトランジスタ43が活性状態のときは、第1の実施形態と同様である。これに対し、ダミービット線調整信号DAがHレベルであってPMOSトランジスタ43が不活性状態のときは、T2期間にイコライズを行う際に電荷の移動が少ないためビット線対BL、/BLの電圧低下を少なくすることができる。

#### 【0028】

以上説明してきた第2の実施形態によれば、ダミービット線調整信号DAによりダミービット線容量を変化させ、以てイコライズ後のビット線対31, 32の電圧を可変に制御できる。

#### 【0029】

なお、ダミービット線調整信号DA、PMOSトランジスタ43を増やすことにより、ダミービット線33を3つ以上に電氣的に分割することとしてもよい。ダミービット線容量を細かく設定することで、イコライズ後のビット線対31, 32の電圧の調整単位を小さくすることができる。また、ダミービット線33の分割数を可変に制御することで、ダミービット線容量を変化させることも可能である。ダミービット線容量を大きくすると、イコライズ後のビット線対31, 32の電圧をより低く設定できる。

#### 【0030】

また、スタティックノイズマージンが製造ばらつきにより所望の値より小さくなり読み出しの誤動作を起こすような場合には、スタティックノイズマージンが大きくなるようにダミービット線容量を変化させることで、読み出しの誤動作が起こらないように調整することもできる。ビット線対31, 32のプリチャージ電圧を大きく変化させることで、製造ばらつきが大きい場合でも対応できる。

#### 【0031】

##### (第3の実施形態)

図8は、本発明の第3の実施形態に係る半導体記憶装置の構成を示している。図8の構成は、第1の実施形態中のディスチャージ回路40を、ダミービット線(DBL)33の電荷を引き抜くためのPMOSトランジスタ44で構成したも



のである。本実施形態のディスチャージ回路40は、ディスチャージ制御信号DCがLレベルのときにダミービット線33をPMOSトランジスタ44のしきい値電圧 $V_t$ までディスチャージする。SCは、PMOSトランジスタ44の基板電位を可変に制御するための基板電位制御信号である。その他の点は第1の実施形態と同じである。

### 【0032】

図9は、図8の半導体記憶装置の読み出し動作を示している。図8の構成によれば、基板電位制御信号SCによりPMOSトランジスタ44のしきい値電圧 $V_t$ を変化させることができる。例えば $V_t = 0$ であれば、T1期間においてダミービット線DBLがグランド電圧(0V)までディスチャージされる。一方、 $V_t > 0$ であれば、T1期間におけるダミービット線DBLのディスチャージ後の電圧が所定の正の電圧となる。したがって、基板電位制御信号SCにより、T2期間におけるイコライズ後のビット線対BL、/BLの電圧を可変にかつ連続的に制御することができる。

### 【0033】

以上説明してきた第3の実施形態によれば、基板電位制御信号SCによりダミービット線33のディスチャージ後の電荷量を変化させ、以てイコライズ後のビット線対31, 32の電圧を可変に制御できる。

### 【0034】

また、スタティックノイズマージンが製造ばらつきにより所望の値より小さくなり読み出しの誤動作を起こすような場合には、ビット線対31, 32のディスチャージ量を多くするように基板電位制御信号SCを入力することで、読み出しの誤動作が起こらないように調整することもできる。

### 【0035】

#### (第4の実施形態)

図10は、本発明の第4の実施形態に係る半導体記憶装置の構成を示している。図10において、メモリセル10は図2～図4に示された横型セル構造を持つ6トランジスタ構成のメモリセルである。ただし、ダミービット線33は不要である。30はワード線(WL)、31, 32はビット線対(BL, /BL)、4

5はワード線ドライバ、50はプリチャージ回路、60はビット線ディスチャージ回路、70はイコライズ回路、80はビット線ディスチャージ電圧制御回路であり、メモリセル10はワード線30とビット線対31, 32とに接続する。

#### 【0036】

プリチャージ回路50は、1対のPMOSトランジスタ51, 52のドレインをビット線対31, 32に接続し、ソースを電源に接続し、ゲートにプリチャージ制御信号PCを入力して構成する。ビット線ディスチャージ回路60は、1対のNMOSトランジスタ61, 62のドレインをビット線対31, 32に接続し、ソースをグランドに接続し、ゲートにディスチャージ制御信号DCを入力して構成する。イコライズ回路70は、PMOSトランジスタ72のドレイン及びソースをそれぞれビット線対31, 32に接続し、ゲートに論理回路71の出力を入力して構成する。論理回路71は、プリチャージ制御信号PCとディスチャージ制御信号DCの反転との論理積をPMOSトランジスタ72のゲートに与えるものである。したがって、ビット線対31, 32のプリチャージ時間とディスチャージ時間とにそれぞれ当該ビット線対31, 32のイコライズが実行される。ビット線ディスチャージ電圧制御回路80は、ビット線対31, 32のディスチャージ時間を可変に制御するように、プリチャージ制御信号PC及びパルス制御信号PLS1~3を入力とし、ディスチャージ制御信号DCを出力とする回路であって、バッファ81, 82, 83と、インバータ84, 85, 86と、MOSスイッチ91, 92, 93と、AND回路94とで構成される。このビット線ディスチャージ電圧制御回路80は、プリチャージ制御信号PCに基づく異なった3つの遅延信号のうちのいずれかをパルス制御信号PLS1~3で選択し、選択した結果とプリチャージ制御信号PCとの論理積をディスチャージ制御信号DCとする構成である。パルス制御信号PLS1~3は1つのみHレベルを入力し、その他はLレベルを入力する。

#### 【0037】

図11は、図10の半導体記憶装置の読み出し時におけるパルス制御信号PLS1、プリチャージ制御信号PC、ディスチャージ制御信号DC、ワード線WL、ビット線対BL、/BLの各々の電圧波形を示している。Vddは電源電圧で

ある。

#### 【0038】

図11によれば、まず時刻  $t_1$  でパルス制御信号  $PLS1 \sim 3$  のいずれか1本（例えば  $PLS1$ ）をHレベルにすることで、ビット線対  $BL, /BL$  のデイスチャージ時間を決定する。この際、3段階のデイスチャージ時間のうちのいずれかを選択することができる。次に、時刻  $t_2$  にプリチャージ制御信号  $PC$  をLレベルにすることで、ビット線対  $BL, /BL$  を電源電圧  $V_{dd}$  までプリチャージかつイコライズする。T1期間のプリチャージの後、プリチャージ制御信号  $PC$  をHレベルに戻してビット線対  $BL, /BL$  のプリチャージを終了すると、時刻  $t_4$  からビット線対  $BL, /BL$  のデイスチャージかつイコライズが開始される。ビット線デイスチャージ時間  $T_2$  は、ビット線デイスチャージ電圧制御回路80内のパルス制御信号  $PLS1 \sim 3$  によって選択された遅延に対応する長さである。これにより、ビット線対  $BL, /BL$  の電圧は電源電圧  $V_{dd}$  よりも低い電圧に引き下げられる。このデイスチャージが終了した後、時刻  $t_6$  でワード線  $WL$  が選択されメモリセル10の読み出しが開始される。

#### 【0039】

以上説明してきた第4の実施形態によれば、メモリセル10の読み出し前にビット線対31, 32のプリチャージ電圧を下げることにより、読み出しのためにワード線30を活性化する際、ビット線対31, 32は電源電圧  $V_{dd}$  よりも低い中間電位となった状態のため、メモリセル10中のロー側記憶ノードの電圧が低くなる結果、図1に示したNMOSアクセストランジスタ11, 21とNMOSドライブトランジスタ12, 22とのゲート幅が等しい場合でも、NMOSアクセストランジスタ11, 21の電流駆動能力が見かけの上で下がり、スタティックノイズマージンが大きくなるので、読み出し時の誤動作を防止できる。

#### 【0040】

しかも、本実施形態によれば、複数電源を用いる必要がなく、レイアウト面積の増加を抑えることができる。また、第1～第3の実施形態と違ってダミービット線33が必要ないので、ビット線対31, 32とダミービット線33との間の隣接負荷容量増加による速度低下の悪影響が回避できる。

## 【0041】

また、スタティックノイズマージンが製造ばらつきにより所望の値より小さくなり読み出しの誤動作を起こすような場合には、ビット線デイスチャージ電圧制御回路 80 によりビット線対 31, 32 のデイスチャージ時間を長くすることで、読み出しの誤動作が起こらないように調整することもできる。

## 【0042】

複数のビット線対をデイスチャージする場合、全てのビット線対のデイスチャージ時間を単一の制御回路 80 で制御できるため、これらのビット線対のデイスチャージ量を揃えやすいという利点もある。

## 【0043】

(第5の実施形態)

図12は、本発明の第5の実施形態に係る半導体記憶装置の構成を示している。図12において、メモリセル10は図2～図4に示された横型セル構造を持つ6トランジスタ構成のメモリセルである。ただし、ダミービット線33は省略可能である。30はワード線(WL)、31, 32はビット線対(BL, /BL)、45はワード線ドライバ、95はワード線電圧設定回路であり、メモリセル10はワード線30とビット線対31, 32とに接続する。ワード線電圧設定回路95は例えばNMOSトランジスタ96で構成され、このNMOSトランジスタ96のゲートは電源に、ソースはワード線ドライバ45の出力に、ドレインはワード線30にそれぞれ接続する。

## 【0044】

本実施形態によれば、電源電圧を $V_{dd}$ 、NMOSトランジスタ96のしきい値電圧を $V_{tn}$ とすると、ワード線30が選択状態になったときの当該ワード線30の活性化電圧、すなわち図1に示した両NMOSアクセストランジスタ11, 21のゲート電圧は、電源電圧 $V_{dd}$ よりも低い所定の電圧( $V_{dd} - V_{tn}$ )となる。その結果、読み出し時のNMOSアクセストランジスタ11, 21のオン抵抗がNMOSドライフトランジスタ12, 22のオン抵抗よりも大きくなるため、ロー側記憶ノードの電圧が低くなる。したがって、NMOSアクセストランジスタ11, 21とNMOSドライフトランジスタ12, 22とのゲート幅

が等しい場合でもスタティックノイズマージンが大きくなり、読み出し時の誤動作を防止できる。なお、ワード線30の活性化電圧を可変に制御することとしてもよい。

#### 【0045】

##### 【発明の効果】

以上説明してきたとおり、本発明によれば、メモリセルの読み出し前におけるビット線対の電圧を電源電圧よりも低い所定の電圧に設定し、あるいはメモリセルの読み出し時におけるワード線の活性化電圧を電源電圧よりも低い所定の電圧に設定することとしたので、アクセストランジスタとドライブトランジスタとのゲート幅が等しいSRAMメモリセルの場合でも安定に動作する半導体記憶装置を提供することができる。

#### 【0046】

ビット線対の電圧設定は、電源電圧にプリチャージされたビット線対と当該電源電圧より低い電圧にディスチャージされたダミービット線とをイコライズすることにより、あるいは電源電圧にプリチャージされたビット線対を所定の時間だけディスチャージすることにより達成される。

##### 【図面の簡単な説明】

#### 【図1】

本発明の第1の実施形態に係る半導体記憶装置の回路図である。

#### 【図2】

図1中のメモリセルの下地レイアウト図である。

#### 【図3】

図1中のメモリセルの下地から第1金属配線層までのレイアウト図である。

#### 【図4】

図1中のメモリセルの第1金属配線層より上層のレイアウト図である。

#### 【図5】

図1の半導体記憶装置の読み出し動作を示すタイミングチャートである。

#### 【図6】

本発明の第2の実施形態に係る半導体記憶装置の回路図である。

**【図 7】**

図 6 の半導体記憶装置の読み出し動作を示すタイミングチャートである。

**【図 8】**

本発明の第 3 の実施形態に係る半導体記憶装置の回路図である。

**【図 9】**

図 8 の半導体記憶装置の読み出し動作を示すタイミングチャートである。

**【図 10】**

本発明の第 4 の実施形態に係る半導体記憶装置の回路図である。

**【図 11】**

図 10 の半導体記憶装置の読み出し動作を示すタイミングチャートである。

**【図 12】**

本発明の第 5 の実施形態に係る半導体記憶装置の回路図である。

**【符号の説明】**

- 10   メモリセル
- 11, 21   NMOS アクセストランジスタ
- 12, 22   NMOS ドライブトランジスタ
- 13, 23   PMOS 負荷トランジスタ
- 30   ワード線 (WL)
- 31, 32   ビット線対 (BL, /BL)
- 33   ダミービット線 (DBL)
- 40   ディスチャージ回路
- 41   イコライズ回路
- 42   プリチャージ回路
- 43, 44   PMOS トランジスタ
- 45   ワード線ドライバ
- 50   プリチャージ回路
- 51, 52   PMOS トランジスタ
- 60   ビット線ディスチャージ回路
- 61, 62   NMOS トランジスタ

70 イコライズ回路  
71 論理回路  
72 PMOSトランジスタ  
80 ビット線デイスチャージ電圧制御回路  
81, 82, 83 バッファ  
84, 85, 86 インバータ  
91, 92, 93 MOSスイッチ  
94 AND回路  
95 ワード線電圧設定回路  
96 NMOSトランジスタ  
101, 102 拡散層  
103 ポリシリコン層  
104, 105 アクセストランジスタ  
106, 107 ドライブトランジスタ  
108, 109 負荷トランジスタ  
110 Pウェル  
111 Nウェル  
112 セル境界線  
201 第1金属配線層  
202 第1ビア  
203 グランド  
204 電源  
301 第2金属配線層  
302 第2ビア  
303 第3金属配線層  
304 第2ビア+第3ビア  
DA ダミービット線調整信号  
DC デイスチャージ制御信号  
EQ イコライズ制御信号

P C プリチャージ制御信号

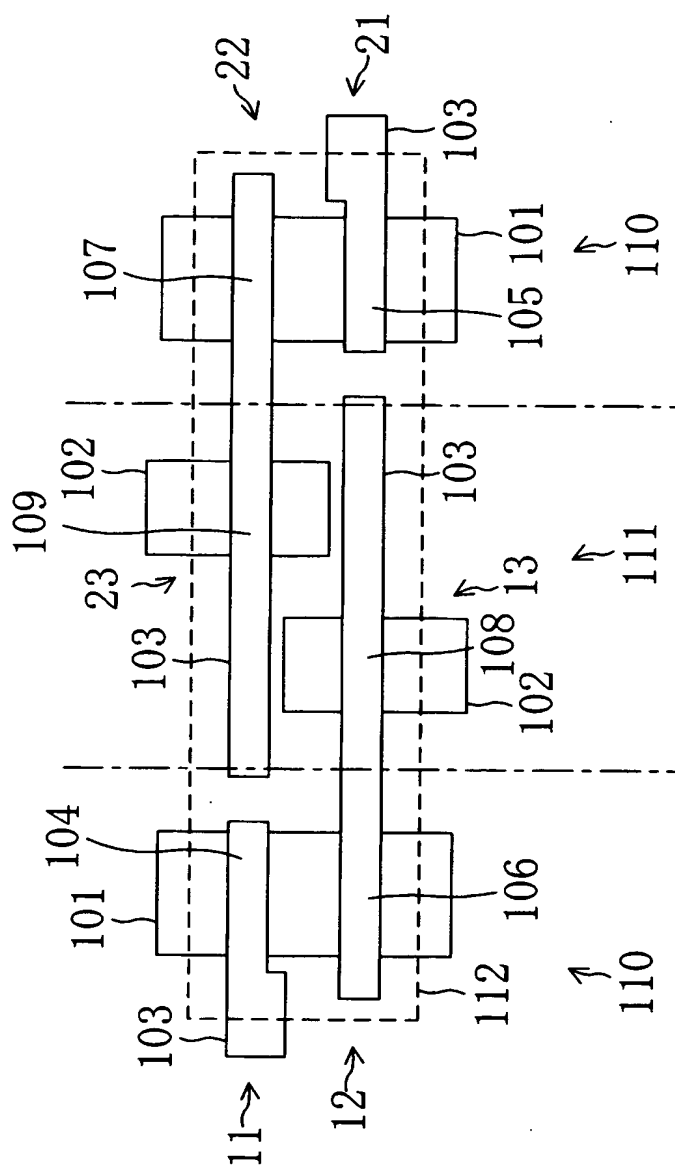
P L S 1 ~ 3 パルス制御信号

S C 基板電位制御信号

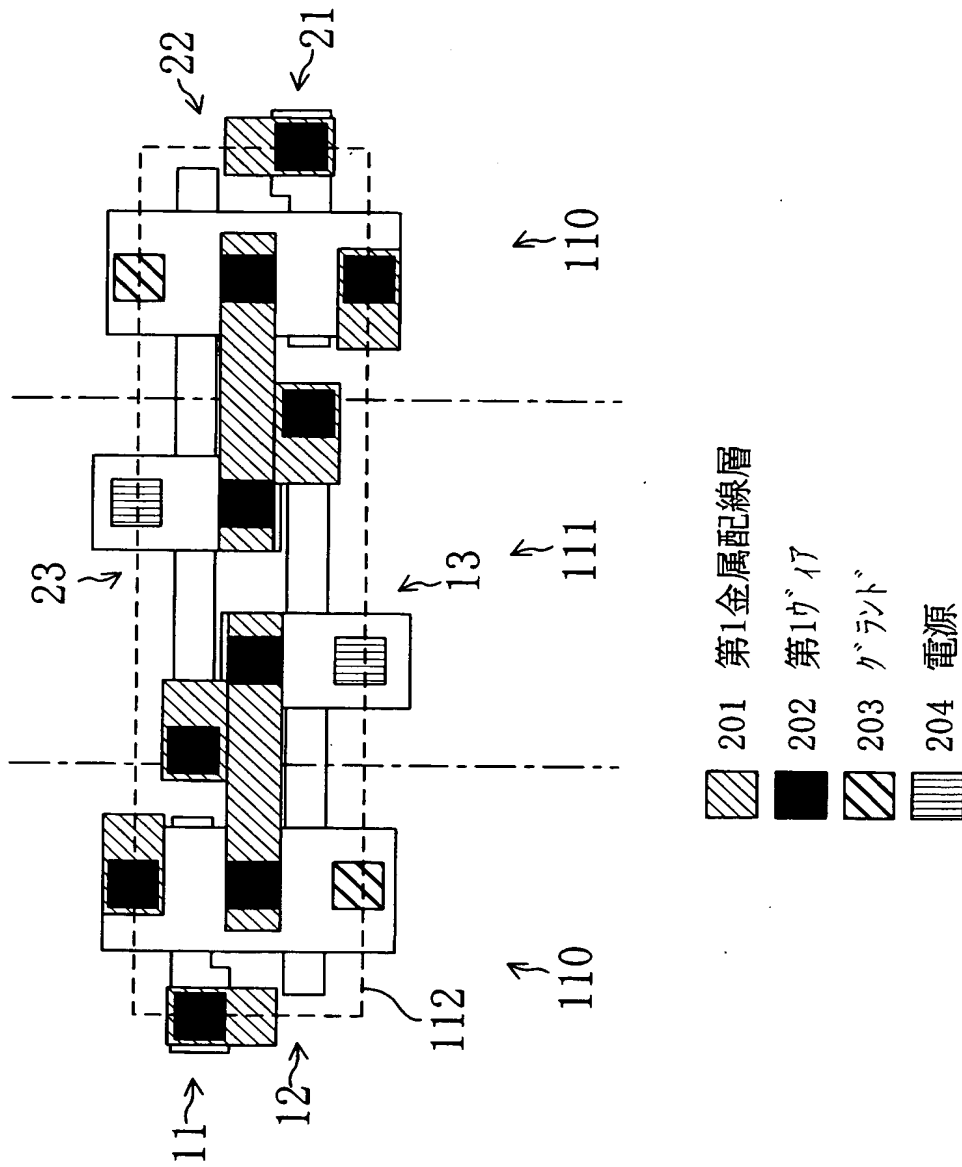




【図 2】

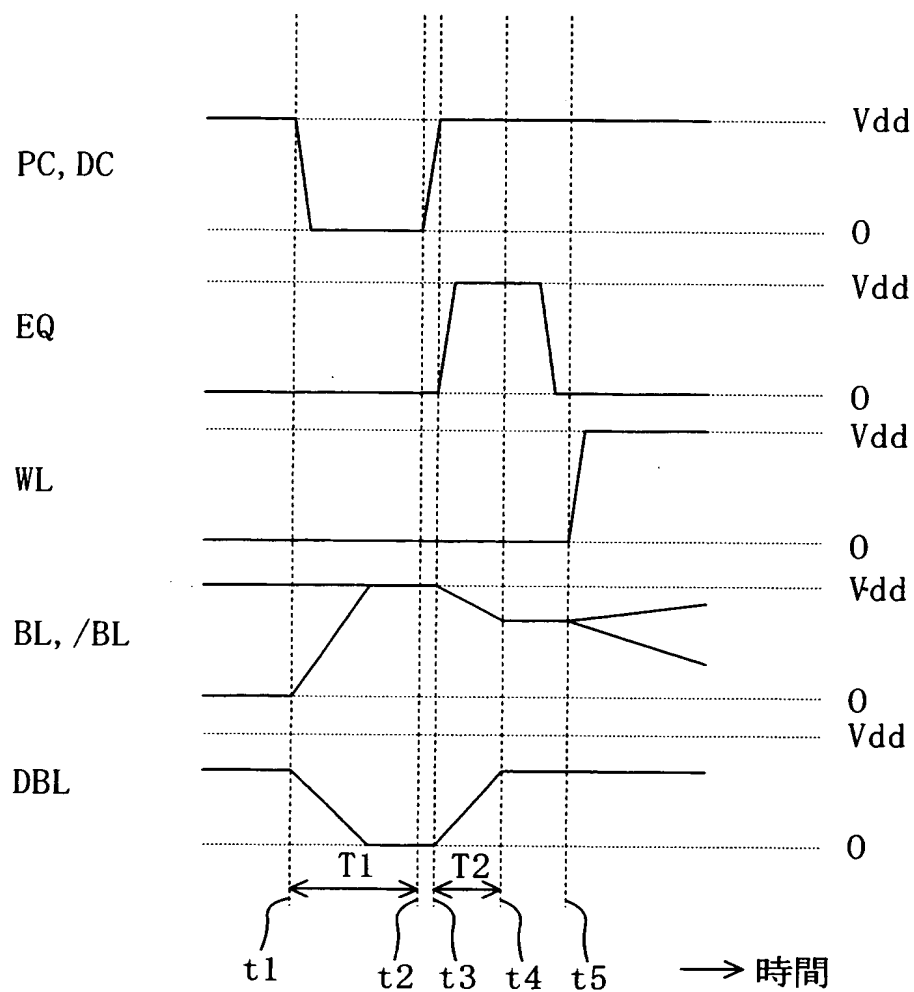


【図3】



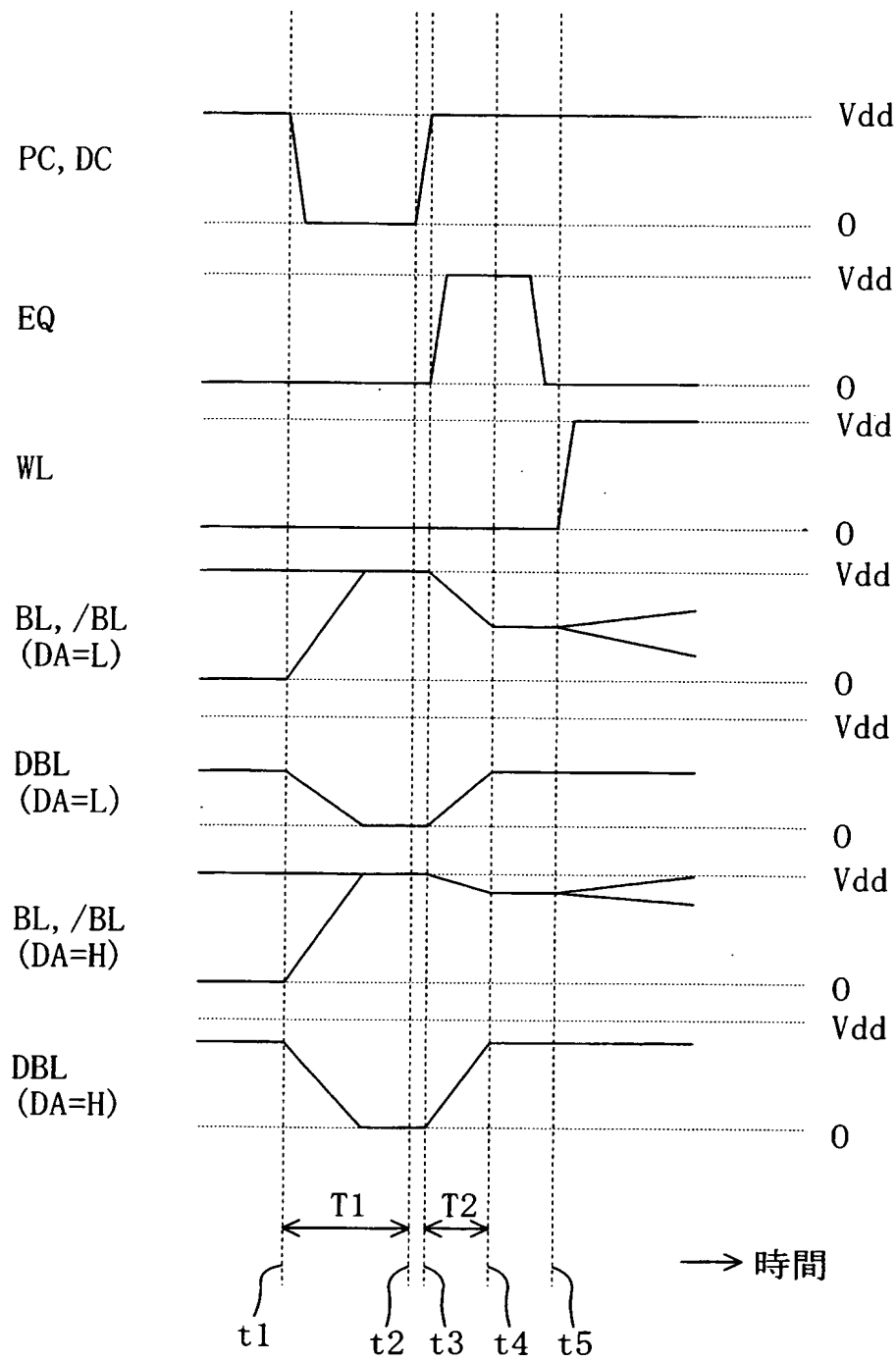


【図 5】

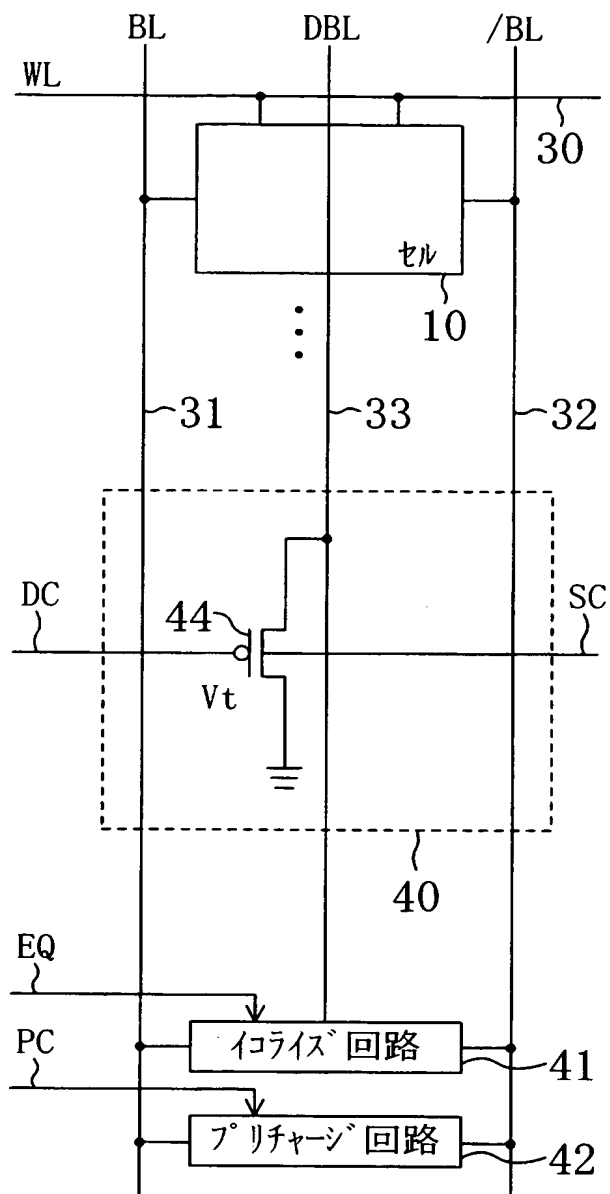




【図 7】

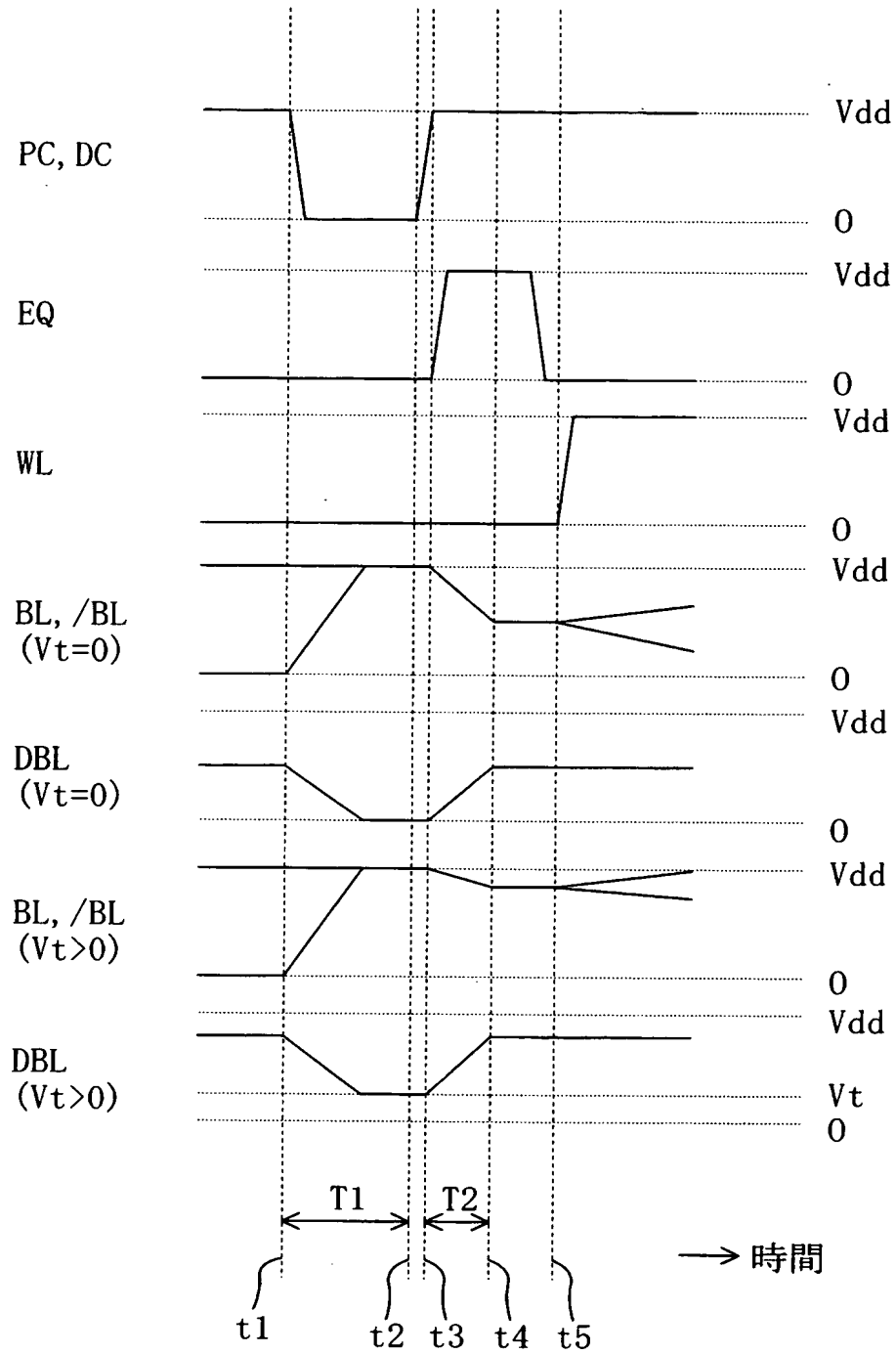


【図 8】

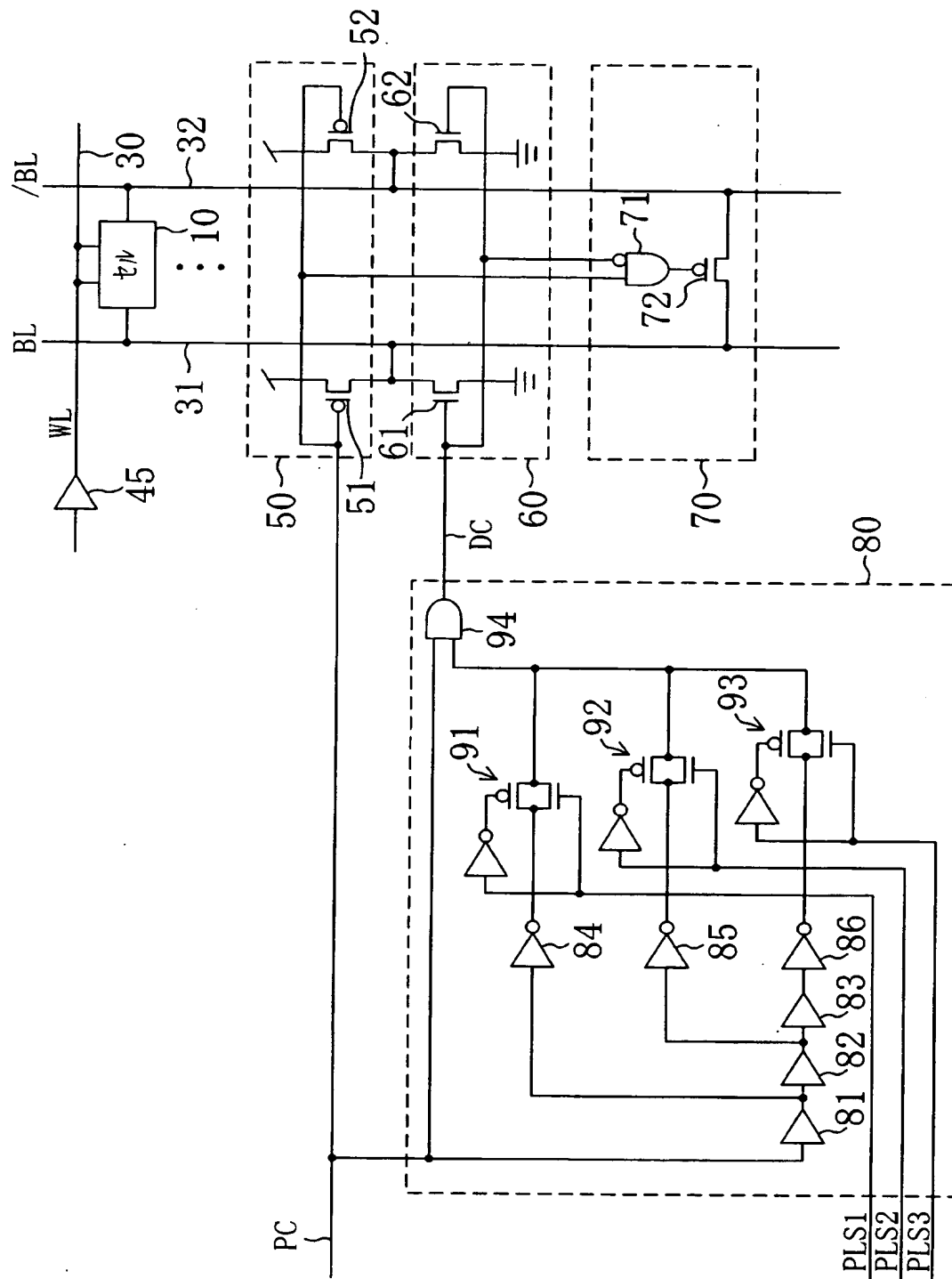




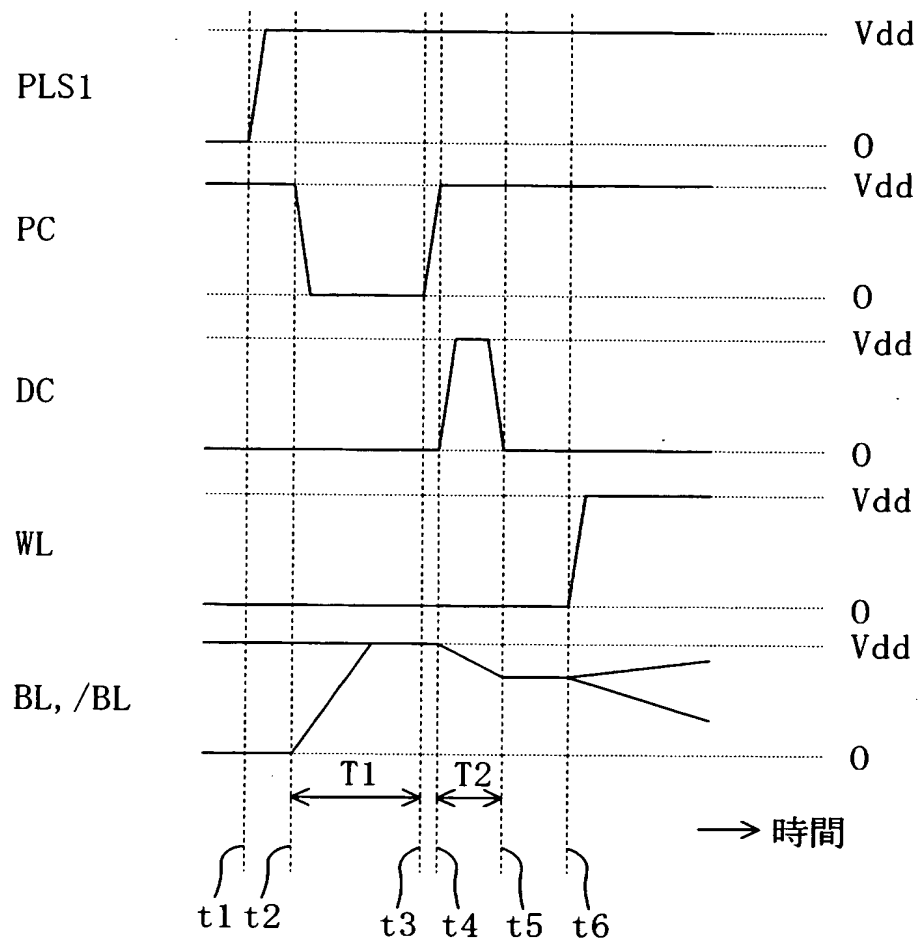
【図 9】



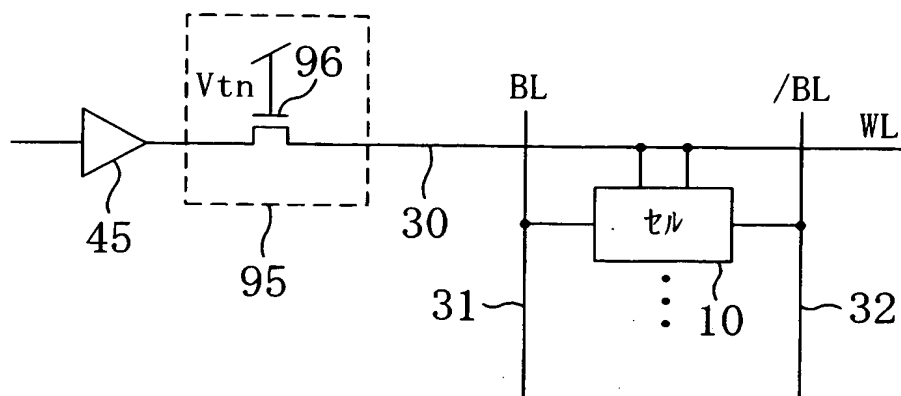
【図 10】



【図 1 1】



【図 12】



【書類名】 要約書

【要約】

【課題】 アクセストランジスタとドライブトランジスタとのゲート幅が等しい S R A Mメモリセルの場合でも安定に動作する半導体記憶装置を提供する。

【解決手段】 ビット線対 3 1, 3 2 の間にダミービット線 3 3 を設け、ビット線対 3 1, 3 2 を電源電圧に、ダミービット線 3 3 をグランド電圧にそれぞれ設定した後に、これらをイコライズする。その後の読み出しにおいてワード線 3 0 を活性化する際、ビット線対 3 1, 3 2 は電源電圧よりも低い中間電位となった状態のため、アクセストランジスタ 1 1, 2 1 の電流駆動能力が見かけの上で下がり、メモリセル 1 0 のスタティックノイズマージンが大きくなる。

【選択図】 図 1

特願 2 0 0 3 - 0 0 4 0 3 6

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社